

5367-44

2

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10173235 A**

(43) Date of publication of application: **26.06.98**

(51) Int. Cl. H01L 33/00	
(21) Application number: 08326329 (22) Date of filing: 06.12.96	(71) Applicant: ROHM CO LTD (72) Inventor: SHAKUDA YUKIO NAKADA SHUNJI SONOBE MASAYUKI TSUTSUI TAKESHI ITO NORIKAZU

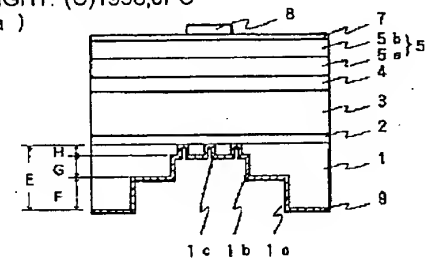
(54) SEMICONDUCTOR LIGHT EMITTING DEVICE

layer exposed.

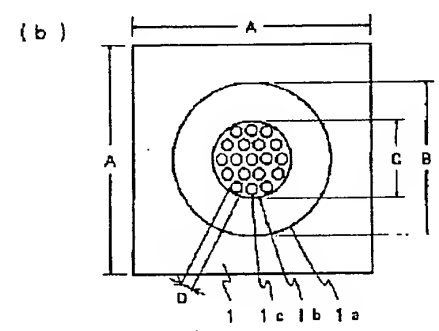
(57) Abstract:

COPYRIGHT: (C)1998,JPO
(a)

PROBLEM TO BE SOLVED: To provide a semiconductor light emitting device, where holes provided to a sapphire substrate, to make contact with a semiconductor layer are precisely formed making the semiconductor layer completely exposed without overetching the semiconductor layer, a current spreads uniformly, and the light emitting device is high enough in mechanical strength.



SOLUTION: A light emitting device is composed of an insulating substrate 1, semiconductor layers 2 to 5 laminated on the insulating substrate 1 to form a light emitting layer, an upper electrode 8 formed on the upside of the semiconductor layers, and a lower electrode 9 formed on the rear side of the insulating substrate 1 coming into contact with the lowermost layer of the laminated semiconductor layers 2 to 5 through the intermediary of holes 1c provided to the substrate 1, where the rear side of the insulating substrate 1 is terraced, and the holes 1c are provided to the thin-walled part of the terraced rear side of the insulating substrate 1 so as to make the semiconductor



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173235

(43) 公開日 平成10年(1998) 6月28日

(51) Int. Cl.
H01L 33/00

識別記号

P I
H01L 33/00

E
C

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平8-326329

(22) 出願日 平成8年(1996)12月6日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 尺田 孝男

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 中田 俊次

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 園部 雅之

京都市右京区西院溝崎町21番地 ローム株式会社内

(74) 代理人 弁理士 河村 烈

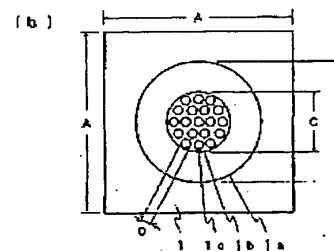
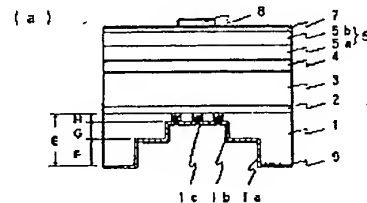
最終頁に続く

(54) 発明の名称 半導体発光素子

(57) 要約

【課題】 半導体層とコンタクトを取るためにサファイア基板に設けられる孔が、半導体層が完全に露出し、かつ、半導体層をエッチングし過ぎないように精密に形成され、しかも、電流が均一に広がりながら機械的強度も十分に得られるように形成され得る半導体発光素子を提供する。

【解決手段】 絶縁基板1と、該絶縁基板上に発光層を形成すべく積層される半導体層2〜5と、該半導体層の上面に形成される上部電極8と、前記絶縁基板の裏面側に設けられ、該基板のコンタクト孔1cを介して前記積層される半導体層の下層部に接続される下部電極9とからなる半導体発光素子であって、前記絶縁基板はその裏面側に段差が設けられ、該段差により薄くされた前記絶縁基板の肉薄部分に半導体層を露出させるコンタクト孔1cが設けられている。



1 絶縁基板 1a 第1の凹部
2 半導体層 1b 第2の凹部
3 上層電極 1c コンタクト孔
4 中間層
5 下層電極

【特許請求の範囲】

【請求項1】 絶縁基板と、該絶縁基板上に発光層を形成すべく積層される半導体層と、該半導体層の上面に形成される上部電極と、前記絶縁基板の裏面側に設けられ、該基板のコンタクト孔を介して前記積層される半導体層の下層部に接続される下部電極とからなる半導体発光素子であって、前記絶縁基板はその裏面側に段差が設けられ、該段差により露出された前記絶縁基板の内層部分に半導体層を露出させるコンタクト孔が設けられてなる半導体発光素子。

【請求項2】 前記内層部分が前記半導体発光素子のチップの中心部側に設けられ、前記コンタクト孔が複数個設けられてなる請求項1記載の半導体発光素子。

【請求項3】 前記上部電極が前記半導体発光素子のチップの外周部側に設けられてなる請求項2記載の半導体発光素子。

【請求項4】 前記内層部分が前記半導体発光素子のチップの外周部側に設けられ、かつ、前記上部電極が前記チップの中心部側に設けられてなる請求項1記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁基板上に半導体層が積層されて発光層が形成される半導体発光素子に関する。さらに詳しくは、積層される半導体層の下部の半導体層に接続される電極が絶縁基板の裏面側に形成される半導体発光素子に関する。

【0002】

【従来の技術】半導体結晶層をエピタキシャル成長する場合、格子定数の関係から絶縁性の基板上に成長しなければならない場合がある。たとえば青色系発光素子用のテトラガリウム系化合物半導体層は、テトラガリウム系化合物半導体層を堆積するのに適当な半導体基板がなく、サファイア（Al₂O₃、単結晶）基板上にエピタキシャル成長される。このテトラガリウム系化合物半導体結晶層を用いた青色系の半導体発光素子の基本構造は、たとえば図5に示されるような構造になっている。すなわち、サファイア基板21上にたとえばn形のGaNからなる低温バッファ層22と、高温でGaNがエピタキシャル成長されたn形層（クラッド層）23と、バンドギャップエネルギーがクラッド層のそれよりも小さくなる材料、たとえばInGaN系（InとGaの比率が種々変わり得ることを意味する、以下同じ）化合物半導体からなる活性層24と、p形のGaNからなるp形層（クラッド層）25とからなり、その表面にp側（上部）電極28が設けられ、積層された半導体層の一部がエッチングされて露出したn形層23の表面にn側（下部）電極29が設けられることにより形成されている。

【0003】この構造では、下部電極29を設けるため積層された半導体層の一部をエッチングして除去しな

なければならない。また、組立工程でボンディングパッドや基板上にボンディングする場合でもサファイア基板21の裏面は絶縁性であり、ボンディングパッドと下部電極29との間で金線などによりワイヤボンディングをしなければならない。このような不都合を解消するため、図6(a)～(b)に断面図が示されるように、サファイア基板21の裏面からn形の低温バッファ層22が露出するようにコンタクト孔を設け、その孔内に電極用金属を蒸着することによりサファイア基板21の裏面側に下部（n側）電極29を設ける構造のものも知られている。

図6(a)はコンタクト孔の直径がチップの一辺の長さ（たとえば0.2～1mm程度）の70～80%程度（たとえば150～750μm程度）の大きな穴が設けられる例で、図6(b)は穴の直径がチップの一辺の長さの1/10程度（たとえば2～10μm程度）と小さい穴が設けられる例を示している。

【0004】

【発明が解決しようとする課題】前述のサファイア基板にコンタクト孔を形成する場合、塩素酸を用いてドライエッチングにより行われるが、サファイアは非常に堅くエッチングされにくい。このサファイア基板は素子の強度を保つため、50～1000μm程度と厚く、この厚いサファイア基板にその厚さの1/10程度以下の直径のコンタクト孔を設けることは非常に難しい。しかも、半導体層はサファイア基板よりエッチングレートが非常に大きく、サファイア基板が残存せず丁度半導体層が露出するように制御することが難しい。そのため、サファイアの一部が残ったり、半導体層までエッチングをし過ぎるという問題がある。また、厚いサファイア基板に小さいコンタクト孔をたくさん形成するのは困難で、孔の数が少ないと、電流が孔の近くに集中してしまい、均一に光らないという問題がある。

【0005】一方、前述の大きなコンタクト孔がサファイア基板に設けられると、サファイア基板の大部分がなくなることになり、積層される半導体層の厚さは全部で1～5μm程度であるため、素子の機械的強度が非常に弱くなり、ウェハから各チップに切断する際や、組立工程の際に素子を破損するという問題がある。

【0006】本発明はこのような問題を解決するためになされたもので、半導体層とコンタクトを取るために絶縁基板に設けられる孔が、半導体層が完全に露出し、かつ、半導体層をエッチングし過ぎないように精密に形成され、しかも、電流が均一に広がりながら機械的強度も十分に得られるように形成され得る半導体発光素子を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明による半導体発光素子は、絶縁基板と、該絶縁基板上に発光層を形成すべく積層される半導体層と、該半導体層の上面に形成される上部電極と、前記絶縁基板に設けられるコンタクト孔

50

を介して該絶縁基板の裏面側に設けられる下部電極とからなる半導体発光素子であって、前記絶縁基板はその裏面側に段差が設けられ、該段差により薄くされた前記絶縁基板の内層部分に半導体層を露出させるコンタクト孔が設けられている。この構造にすることにより、薄くなった基板部にコンタクト孔を形成することができ、小さい径のコンタクト孔を精密に設けることができる。そのため、絶縁基板を広い範囲に亘って除去する大きな形状のコンタクト孔にする必要がなく、機械的強度が充分に得られると共に、発光特性も高く維持することができる。

【0008】前記内層部分が前記半導体発光素子のチップの中心部側に設けられ、前記コンタクト孔が複数個設けられることにより、チップの周囲で機械的強度を十分に保ちながらコンタクト孔を広い範囲でたくさん形成することができ、電流の一点集中を避けることができる。

【0009】前記上部電極が前記半導体発光素子のチップの外周部側に設けられ、かつ、下部電極がチップの中心部側に設けられ、前記内層部分が前記半導体発光素子のチップの外周部側に設けられ、かつ、前記上部電極が前記チップの中心部側に設けられることにより、電流がチップ全体に広がりやすく発光効率を向上させることができる。

【0010】

【発明の実施の形態】つぎに、図面を参照しながら本発明の半導体発光素子について説明をする。図1には、たとえば青色系発光に適した窒化ガリウム系化合物半導体層がサファイア基板上に積層される本発明の半導体発光素子の一実施形態の断面説明図およびその底面図が示されている。

【0011】ここに窒化ガリウム系化合物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部がAl、Inなどの他のIII族元素と置換したものおよび/またはV族元素のNの一部がP、Asなどの他のV族元素と置換した化合物からなる半導体をいう。

【0012】本発明の半導体発光素子は、図1に示されるように、たとえばサファイア(Al₂O₃単結晶)などからなる絶縁基板1の表面に発光層を形成する半導体層2～5が積層されて、その表面側の半導体層には拡散金属層7を介して上部電極(p側電極)8が形成されている。また、絶縁基板1には、その裏面から大きな径の凹部から段階的に小さな径の凹部がエッチングにより順次形成されて段差が設けられており、その段差による絶縁基板1の内層部分に半導体層を露出させるコンタクト孔1cが設けられている。そして、階段状に設けられた凹部内に金属膜が設けられることにより、小さな径のコンタクト孔1cで露出した半導体層と電気的に接続する下部電極(n側電極)9が設けられている。この径の小さいコンタクト孔1cは、図1(b)に示されるよう

に、複数個設けられることにより、下部電極9が半導体層と接触する面積を大きくしている。

【0013】絶縁基板1上に積層される半導体層は、たとえばGa₂Nからなる低温バッファ層2が0.01～0.2μm程度堆積され、ついでn形のクラッド層となるn形層3が1～5μm程度堆積され、さらに、バンドギャップエネルギーがクラッド層のそれよりも小さくなる材料、たとえばInGa₂N系化合物半導体からなる活性層4が0.05～0.3μm程度、p形のAlGa₂N系(AIとGaの比率が任意に変わり得ることを意味する、以下同じ)化合物半導体層5aおよびGa₂N層5bからなるp形層(クラッド層)5が0.2～1μm程度、それぞれ順次積層されることにより構成されている。なお、p形層5はAlGa₂N系化合物半導体層5aとGa₂N層5bとの複層になっているが、キャリアの閉じ込め効果の点からAlを含む層が設けられることが好ましいため、Ga₂N層だけでもよい。また、n形層3にもAlGa₂N系化合物半導体層を設けて複層にしてもよく、またこれらを他の窒化ガリウム系化合物半導体層で形成することもできる。さらに、この例では、n形層とp形層とで活性層が挟持されたダブルヘテロ接合構造であるが、n形層とp形層とが直接接合するpn接合構造のものでよい。

【0014】絶縁基板1は、その厚さは100μm程度にされてからエッチングが施され、最初に設けられる一番大きな凹部1aの直径Bは、チップの一边の大きさAが0.2～1mmに対して150～750μm程度で、その深さFが70μm程度に形成される。また、2番目の凹部1bは、その直径Cが100～500μm程度で、1段目の穴の底からの深さGが20μm程度に形成されている。そして、一番小さく形成されるコンタクト孔1cはその直径Dが2～10μm程度で、その深さHは絶縁基板1の残存している厚さで10μm程度である。すなわち、凹部1a、1bまたはコンタクト孔1cの径に対するエッチングの深さが極端に大きくならないように、凹部による段差が形成されて、薄くされた絶縁基板1の内層部にコンタクト孔1cが形成されている。

【0015】本発明の半導体発光素子は、このように、絶縁基板1の裏面側に下部電極9が設けられる場合に、段々と小さくなる凹部による段差が形成され、薄くなった絶縁基板1の内層部に径の小さいコンタクト孔1cが設けられている。そのため、エッチングされる深さとそのエッチング部の直径とが比較的近く、エッチングの制御が容易となる。その結果、エッチングのし難い絶縁基板1をエッチングしながら、エッチングに対して強い半導体層にダメージを与えることなくその表面を露出させることができる。

【0016】また、図1(b)に示されるように、コンタクト孔1cが複数個設けられることにより、電流が一部に集中しないで全体に広がりやすいため、均一な発光

が得られる。また、小さい径のコンタクト孔1cを多数個設けることにより、半導体層が連続した大きな面積で露出しない絶縁基板1により保持されているため、ウェハからの各チップへの切断時や組立工程での取扱時に破損することがなく、また取扱が非常に容易となる。

【0017】つぎに、図1に示される半導体発光素子の製法の具体例について図2を参照しながら説明をする。

【0018】まず、図2(a)に示されるように、サファイアからなる絶縁基板1上に、有機金属化学気相成長法(MOCVD法)により、キャリアガスの H_2 と共にトリメチルガリウム(TMg)、アンモニア(NH_3)などの成長ガスおよびn形にする場合のドーパントガスとしてのSiH₄などを供給して、Ga₂N層からなる低温バッファ層2を0.01~0.2 μ m程度、同じ組成でn形のn形層(クラッド層)3を1~5 μ m程度成膜する。さらにドーパントガスをとめ、トリメチルインジウム(以下、TMI_nという)を供給してInGa₂N系化合物半導体からなる活性層4を0.05~0.3 μ m程度成膜する。ついで、反応ガスをTMI_nからトリメチルアルミニウム(以下、TMAという)とし、ドーパントガスとしてシクロペンタジエニルマグネシウム(以下、Cp₂Mgという)またはジメチル亜鉛(DMZn)を導入して、p形のAlGa₂N系化合物半導体層5aを0.1~0.5 μ m程度、さらに再度TMAを遮断してp形のGa₂N層5bを0.1~0.5 μ m程度成膜し、p形層5を形成する。

【0019】つぎに、図2(b)に示されるように、絶縁基板1を裏向きにしてレジスト膜(図示せず)を設け、各チップ(一辺の長さが350 μ m程度)の中心部に直径が250 μ m程度の開口部となるようにパターニングをする。そして、アルゴンなどの不活性ガスに塩素ガスなどの反応ガスを混入して反応性イオンエッチングにより70 μ m程度の深さだけエッチングをする。このエッチングは、100 μ m程度の厚さの絶縁基板1の70%程度をエッチングするもので、しかもエッチング深さの精度はそれ程厳密ではないため、加速電圧を高くしてエッチングスピードを早くして行うことができ、30~300時間程度で行うことができる。その結果、凹部1aがチップの中心部に形成される。

【0020】つぎに、絶縁基板1の裏面に再度レジスト膜(図示せず)を設け、第1の凹部1aの中心部に直径が200 μ m程度の開口部となるようにパターニングをし、同様の反応性イオンエッチングを行うことにより、図2(c)に示されるように、第2の凹部1bを20 μ m程度の深さ(図1のG)に形成する。この場合のエッチングもその深さはそれ程厳密ではないため、エッチングスピードを速くして行う。

【0021】その後、絶縁基板1の裏面に再度レジスト膜(図示せず)を設け、第2の凹部1bの底面に5 μ m程度の直径の開口部が均等に設けられるようにパターニ

ングをし、第2の凹部1bの底に10 μ m程度の厚さに残った絶縁基板1に同様の反応性イオンエッチングを行うことにより、図2(d)に示されるように、低温バッファ層2が露出するコンタクト孔1cを形成する。このエッチングの場合は、絶縁基板1であるサファイアがなくなりGa₂Nからなる半導体層が露出すると、半導体層が急速にエッチングされやすいため、加速電圧を低くしてたとえば0.01 μ m/分程度のレートでエッチングを行う。

【0022】その後、図1に示されるように、積層された半導体層の表面にNiおよびAuを蒸着して厚さが2~100nm程度の拡散メタル層7を設け、さらにTiおよびAuを蒸着してパターニングをすることにより上部電極8を形成し、さらに絶縁基板1の裏面にTiおよびAuを蒸着して下部電極9を形成する。ついで、各チップにブレードすることにより、半導体発光素子のチップが形成される。

【0023】図3に示される例は、図1の変形例で、上部電極8がチップの中心部ではなくて、外周部に設けられている。図1に示されるように、上部電極8および下部電極9が共にチップの中心部に設けられると、発光層となる活性層4部の電流通路が中心部に集中し、周囲に電流が流れ難く、チップ全面での発光をし難い。しかし、図3に示されるように、上部電極8がチップの外周に沿って設けられ、下部電極9がチップの中心部に設けられることにより、電流がチップ全体に広がりやすく発光効率が向上する。

【0024】図4は、図3と同様に電流通路をチップ全体に広げる他の構造例で、上部電極8をチップの中心部に設け、下部電極9をチップの外周部に設けたものである。すなわち、チップの外周部の絶縁基板1をエッチングすることにより段差を形成し、その外周部の内周部にコンタクト孔1cが設けられたものである。この構造にしても図3の例と同様に、電流がチップをクロスする方向に流れるため広がり、チップ全体で発光しやすい。この場合、外周部に設けられるコンタクト孔1cは、図1に示されるような小さい径のものを多数個均等に設けることもできるし、チップの周囲に細い幅でリング状に設けることもできる。ウェハから各チップに切断分離する場合、絶縁基板1の裏面をスライシングし(ダイヤモンドペンで線を入れる)で割る方法により行われるため、この例のように、チップの外周部で絶縁基板1が薄くなっていると、ウェハから各チップに分離する作業が容易になる。

【0025】

【発明の効果】本発明によれば、サファイア基板のような硬い絶縁基板上に半導体層が積層される半導体発光素子でも、基板強度を弱めることなく、かつ、発光の均一性を損なうことなく、裏面側に一方の電極を設けることができる。そのため、リードフレームなどの基板上に直

接ボンディングをすることができ、組立工程が非常に簡略化されながら、特性の優れた半導体発光素子が得られる。

【図面の簡単な説明】

【図1】本発明の半導体発光素子の一実施形態の説明図である。

【図2】図1の半導体発光素子の製造工程を示す図である。

【図3】図1の半導体発光素子の变形例を示す図である。

【図4】図1の半導体発光素子の他の变形例を示す図である。

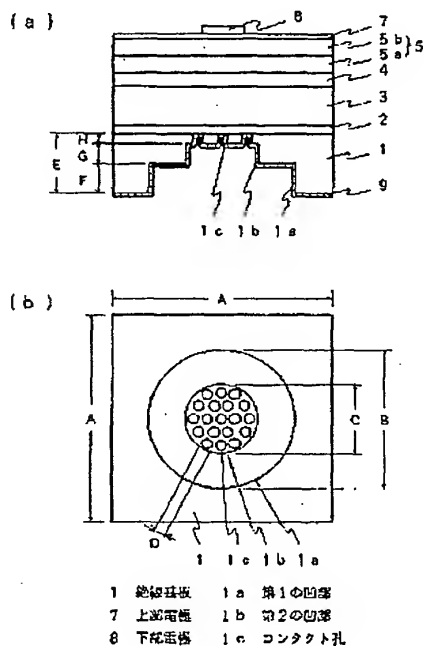
*【図5】従来の半導体発光素子の一列の斜視説明図である。

【図6】従来の半導体発光素子の他の列の説明図である。

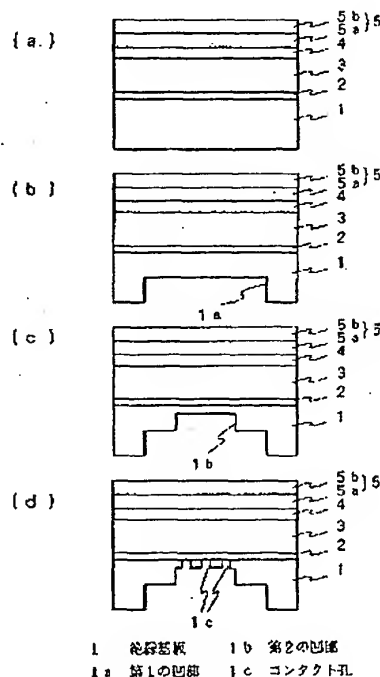
【符号の説明】

- 1 絶縁基板
1a 第1の凹部
1b 第2の凹部
1c コンタクト孔
7 上部電極
8 下部電極

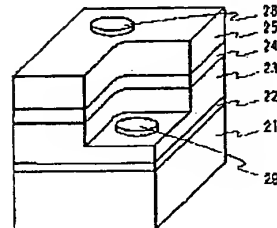
【図1】



【図2】



【圖5】



1	絶縁基板	7	上部電極
1c	コンタクト孔	8	下部電極

(72)発明者 伊藤 範和
京都市右京区西院湍崎町21番地 ロ-ム株
式会社内

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor light emitting device by which the laminating of the semiconductor layer is carried out and a luminous layer is formed on an insulating substrate. The electrode connected to the semiconductor layer of the lower part of the semiconductor layer by which a laminating is carried out in more detail is related with the semiconductor light emitting device formed in the rear-face side of an insulating substrate.

[0002]

[Description of the Prior Art] When growing a semiconducting-crystal layer epitaxially, it may have to grow up on an insulating substrate from the relation of a lattice constant. For example, the CHITSU-ized gallium system compound semiconductor layer for blue system light emitting devices does not have a suitable semiconductor substrate to deposit a CHITSU-ized gallium system compound semiconductor layer, and grows epitaxially on a sapphire (aluminum₂O₃ single crystal) substrate. The basic structure of the semiconductor light emitting device of the blue system using this CHITSU-ized gallium system compound semiconductor crystal layer is structure as shown in drawing 5. On silicon on sapphire 21, namely, for example, the low-temperature buffer layer 22 which consists of GaN of n form, The n form layer 23 in which GaN grew epitaxially at the elevated temperature (clad layer), The barrier layer 24 which bandgap energy becomes from the material which becomes smaller than that of a clad layer, for example, an InGaN system (ratio of In and Ga is the same the following which means that it may change variously) compound semiconductor It consists of a p form layer (clad layer) 25 which consists of GaN of p form, and is formed by forming an electrode 29 in the front face of the n form layer 23 which the electrode 28 was formed in the front face the p side (upper part), *****ed and a part of semiconductor layer by which the laminating was carried out exposed the n side (lower part).

[0003] With this structure, in order to form the lower electrode 29, it *****s and a part of semiconductor layer by which the laminating was carried out must be removed. Moreover, even when carrying out bonding on a bonding pad or a substrate like an erector, the rear face of silicon on sapphire 21 is insulation, and must carry out wirebonding by the gold streak etc. between a bonding pad and the lower electrode 29. in order to cancel such un-arranging, as a cross section is shown in drawing 6 (a) - (b), the low-temperature buffer layer 22 of n form is exposed from the rear face of silicon on sapphire 21 -- as -- contact -- a hole -- preparing -- the hole -- inside -- an electrode -- public funds -- the thing of structure which forms the lower (n side) electrode 29 in the rear-face side of silicon on sapphire 21 is also known by carrying out the vacuum evaporation of the group drawing 6 (a) -- contact -- it is the example in which about (for example, about 150-750 micrometers) 70 - 80% of big hole of length (for example, about 0.2-1mm) whose diameter of a hole is one side of a chip is established, and drawing 6 (b) indicates the example in which a small hole is established to be about [that the diameter of a hole is one side of a chip / of length] 1/100 (for example, about 2-10

[0004]

[Problem(s) to be Solved by the Invention] the above-mentioned silicon on sapphire -- contact -- although it is carried out by dry etching using chlorine gas when forming a hole, sapphire is very hard and it is hard to ***** in order that this silicon on sapphire may maintain the intensity of

an element -- about 50-100 micrometers -- thick -- this thick silicon on sapphire -- contact of the 1/10 or less-about diameter of the thickness -- it is very difficult to prepare a hole And a semiconductor layer has an etching rate very larger than silicon on sapphire, and it is difficult to control so that silicon on sapphire does not remain but a semiconductor layer is exposed exactly. Therefore, there is a problem of some sapphire remaining or etching too much to a semiconductor layer. moreover, contact small to thick silicon on sapphire -- current concentrates near the hole and forming many holes has the problem that it does not shine uniformly, when it is difficult and there are few holes [0005] contact with the above-mentioned big on the other hand -- when a hole is prepared in silicon on sapphire, the great portion of silicon on sapphire will be lost, the semiconductor layer thickness by which a laminating is carried out all comes out, since it is about 1-5 micrometers, the mechanical strength of an element becomes very weak and there is a problem of damaging an element, in the time of cutting from a wafer for each chip, and the case of [like an erector] [0006] It aims at offering the semiconductor light emitting device which may be formed so that a mechanical strength may also fully be obtained, while it is precisely formed so that a semiconductor layer may be [the hole prepared in an insulating substrate in order to have been made in order that this invention might solve such a problem, and to take a semiconductor layer and contact] completely exposed and a semiconductor layer may not be *****ed too much, and current moreover spreads uniformly.

[0007]

[Means for Solving the Problem] The semiconductor layer by which a laminating is carried out that the semiconductor light emitting device by this invention should form a luminous layer on an insulating substrate and this insulating substrate, It is the semiconductor light emitting device which consists of a lower electrode prepared in the rear-face side of this insulating substrate through a hole. the up electrode formed in the upper surface of this semiconductor layer, and the contact prepared in the aforementioned insulating substrate -- the contact in which the aforementioned insulating substrate makes the closing-in portion of the aforementioned insulating substrate which the level difference was prepared and was made thin by this level difference expose a semiconductor layer to the rear-face side -- the hole is prepared the substrate section which became thin by making it this structure -- contact -- since a hole can be formed -- contact of a small path -- a hole can be prepared precisely therefore, the contact of a big configuration which removes an insulating substrate [the latus range] -- a luminescence property is also highly maintainable, while not making it a hole and fully obtaining a mechanical strength

[0008] the aforementioned closing-in portion prepares in the core side of the chip of the aforementioned semiconductor light emitting device -- having -- the aforementioned contact -- while fully maintaining a mechanical strength around a chip by preparing two or more holes -- contact -- a hole can be formed in large numbers in the latus range, and one-point concentration of current can be avoided

[0009] Luminous efficiency can be raised that current tends to spread for the whole chip by preparing the aforementioned up electrode in the periphery section side of the chip of the aforementioned semiconductor light emitting device, and preparing a lower electrode in the core of a chip, preparing the aforementioned closing-in section in the periphery section side of the chip of the aforementioned semiconductor light emitting device, and preparing the aforementioned up electrode in the core side of the aforementioned chip.

[0010]

[Embodiments of the Invention] Next, the semiconductor light emitting device of this invention is explained, referring to a drawing. Cross-section explanatory drawing of 1 operation gestalt of the semiconductor light emitting device of this invention by which the laminating of the CHITSU-ized gallium system compound semiconductor layer suitable for for example, blue system luminescence is carried out on silicon on sapphire, and its bottom plan view are shown in drawing 1 .

[0011] A CHITSU-ized gallium system compound semiconductor is III here. The compound of Ga of a group element, and N of V group element, or III III of others [Ga / of a group element / a part of], such as aluminum and In, The semiconductor which consists of a compound which a part of N of the thing replaced by the group element and/or V group element replaced by other V group elements, such as P and As, is said.

[0017] It explains referring to drawing 2 next about the example of the process of a semiconductor light emitting device shown in drawing 1.

[0018] As shown in drawing 2 (a), on the insulating substrate 1 which consists of sapphire first, by the organic metalization study vapor growth (the MOCVD method) H₂ of carrier gas SiH₄ as dopant gas in the case of making it growth gas and n forms, such as a TORIME dust gallium (TMG) and ammonia (NH₃), it supplies. etc. -- About 1-5 micrometers (clad layer) of n form layers 3 of n form are formed for the low-temperature buffer layer 2 which consists of a GaN layer by about 0.01-0.2 micrometers and the same composition. Furthermore dopant gas is stopped and about 0.05-0.3 micrometers of barrier layers 4 which supply trimethylindium (henceforth TMIn) and consist of an InGaN system compound semiconductor are formed. Subsequently, reactant gas is made into a trimethylaluminum (henceforth TMA) from TMIn, magnesium cyclopentadienyl (henceforth Cp₂Mg) or dimethyl zinc (DMZn) is introduced as dopant gas, about 0.1-0.5 micrometers of TMA(s) are intercepted for AlGaIn system compound semiconductor layer 5a of p form further again, about 0.1-0.5 micrometers GaN layer 5b of p form is formed, and the p form layer 5 is formed.

[0019] Next, as shown in drawing 2 (b), an insulating substrate 1 is made into the back sense, a resist film (not shown) is prepared, and patterning is carried out so that a diameter may serve as opening which is about 250 micrometers in the core of each chip (a length of one side is about 350 micrometers). And reactant gas, such as chlorine gas, is mixed in inert gas, such as an argon, and only a depth of about 70 micrometers etches by reactive ion etching. This etching *****s in about 70% of the insulating substrate 1 with a thickness of about 100 micrometers, moreover, since the precision of the etching depth is not so strict, can be performed by the ability making acceleration voltage high and carrying out etching speed early, and can perform it in about 30 - 300 hours. Consequently, crevice 1a is formed in the core of a chip.

[0020] By preparing a resist film (not shown) in the rear face of an insulating substrate 1 again, carrying out patterning next, so that a diameter may serve as opening which is about 200 micrometers in the core of 1st crevice 1a, and performing same reactive ion etching, as shown in drawing 2 (c), 2nd crevice 1b is formed in a depth (G of drawing 1) of about 20 micrometers. Since etching in this case is not so strict, either, the depth makes etching speed quick and performs it.

[0021] Then, patterning is carried out so that a resist film (not shown) may be again prepared in the rear face of an insulating substrate 1 and opening with a diameter of about 5 micrometers may be equally prepared in the base of 2nd crevice 1b. the contact which the low-temperature buffer layer 2 exposes as shown to drawing 2 (d) by by performing the same reactive ion etching as the insulating substrate 1 which remained in the thickness of about 10 micrometers at the bottom of 2nd crevice 1b -- a hole -- 1c is formed If the semiconductor layer which the sapphire which is an insulating substrate 1 is lost and consists of GaN is exposed, since it is easy for a semiconductor layer to ***** quickly, in this etching, acceleration voltage will be made low, for example, it will etch at the rate of about 0.01micrometers/minute.

[0022] Then, by forming the diffusion metal layer 7 whose thickness is about 2-100nm, carrying out the vacuum evaporatio of Ti and the Au further, and carrying out patterning, the vacuum evaporatio of nickel and the Au is carried out to the front face of the semiconductor layer by which the laminating was carried out as shown in drawing 1, the up electrode 8 is formed, further, the vacuum evaporatio of Ti and the Au is carried out to the rear face of an insulating substrate 1, and the lower electrode 9 is formed in it. Subsequently, the chip of a semiconductor light emitting device is formed by taking a break for each chip.

[0023] The example shown in drawing 3 is a modification of drawing 1, and the up electrode 8 is formed in the periphery section instead of a core of a chip. If both the up electrode 8 and the lower electrode 9 are formed in the core of a chip as shown in drawing 1, the current path of the barrier-layer 4 section used as a luminous layer will concentrate on a core, current cannot flow easily around, and it will be hard to carry out luminescence on the whole chip surface. However, as shown in drawing 3, luminous efficiency improves that current tends to spread for the whole chip by forming the up electrode 8 along with the periphery of a chip, and forming the lower electrode 9 in the core of a chip.

[0024] Drawing 4 is other examples of structure which extend a current path for the whole chip like drawing 3, forms the up electrode 8 in the core of a chip, and forms the lower electrode 9 in the

periphery section of a chip. namely, the thing to ***** in the insulating substrate 1 of the periphery section of a chip -- a level difference -- forming -- the closing-in section of the periphery section -- contact -- a hole -- 1c is prepared It spreads in order to flow like the example of drawing 3 in the direction in which current crosses a chip, even if it makes it this structure, and it is easy to emit light with the whole chip. in this case, the contact prepared in the periphery section -- a hole -- 1c can also prepare equally many things of a small path as shown in drawing 1 , and can also prepare them in the circumference of a chip in the shape of a ring by narrow width of face Since slicing of the rear face of an insulating substrate 1 is carried out (a line is put in with a diamond pen) and it is carried out by the ***** method when carrying out cutting separation from a wafer at each chip, if the insulating substrate 1 is thin in the periphery section of a chip, the work separated into each chip from a wafer will become easy like this example.

[0025]

[Effect of the Invention] According to this invention, the semiconductor light emitting device by which the laminating of the semiconductor layer is carried out on a stiff insulating substrate like silicon on sapphire can also prepare one electrode in a rear-face side, without [without it weakens substrate intensity, and] spoiling the homogeneity of luminescence. Therefore, the semiconductor light emitting device which was excellent in the property is obtained, being able to carry out direct bonding on substrates, such as a leadframe, and being simplified very much like an erector.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the contact in which are the semiconductor light emitting device characterized by providing the following, and the aforementioned insulating substrate makes the closing-in portion of the aforementioned insulating substrate which the level difference was prepared and was made thin by this level difference expose a semiconductor layer to the rear-face side -- the semiconductor light emitting device to which it comes to prepare a hole Insulating substrate. The semiconductor layer by which a laminating is carried out that a luminous layer should be formed on this insulating substrate. The up electrode formed in the upper surface of this semiconductor layer. it prepares in the rear-face side of the aforementioned insulating substrate -- having -- contact of this substrate -- the lower electrode connected to the lower layer section of the aforementioned semiconductor layer by which a laminating is carried out through a hole

[Claim 2] the aforementioned closing-in portion prepares in the core side of the chip of the aforementioned semiconductor light emitting device -- having -- the aforementioned contact -- the semiconductor light emitting device according to claim 1 to which it comes to prepare two or more holes

[Claim 3] The semiconductor light emitting device according to claim 2 which comes to prepare the aforementioned up electrode in the periphery section side of the chip of the aforementioned semiconductor light emitting device.

[Claim 4] The semiconductor light emitting device according to claim 1 which the aforementioned closing-in section is prepared in the periphery section side of the chip of the aforementioned semiconductor light emitting device, and comes to prepare the aforementioned up electrode in the core side of the aforementioned chip.

[Translation done.]